

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 41 982.5

Anmeldetag: 11. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Digitale Signal-Verzögerungs-Einrichtung

IPC: H 03 K 5/135

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to read "Faust".

Faust

Beschreibung**Digitale Signal-Verzögerungs-Einrichtung**

5

Die Erfindung betrifft eine digitale Signal-Verzögerungs-Einrichtung gemäß Oberbegriff des Anspruchs 1.

In Halbleiter-Bauelementen werden zur Erzeugung des internen
10 Taktes häufig Verzögerungsregelschleifen verwendet. Diese
bestehen z.B. aus vielen, hintereinandergeschalteten
Verzögerungsgliedern.

Ein Verzögerungsglied dient dazu, ein am Verzögerungsglied-
15 Eingang anliegendes, digitales Signal mit einer Verzögerung
zu beaufschlagen, so dass am Ausgang des Verzögerungsglieds
ein - gegenüber dem Eingangssignal verzögertes, ansonsten
aber diesem entsprechendes - digitales Ausgangssignal
abgegriffen werden kann.

20

Ein Verzögerungsglied kann z.B. aus zwei
hintereinandergeschalteten Invertern, insbesondere CMOS-
Invertern aufgebaut sein. Der Eingang des ersten Inverters
bildet den Eingang, und der Ausgang des zweiten Inverters den
25 Ausgang des Verzögerungsglieds, wobei der Ausgang des ersten
Inverters an den Eingang des zweiten Inverters angeschlossen
ist.

Bei einem Wechsel des Zustands des am Eingang des
30 Verzögerungsglieds bzw. des ersten Inverters anliegenden
Signals z.B. von „logisch niedrig“ auf „logisch hoch“ (- bzw.
umgekehrt von „logisch hoch“ auf „logisch niedrig“ -)
wechselt - nach einer bestimmten Verzögerungszeit t_a - das
Signal am Ausgang des ersten Inverters (und dementsprechend
35 auch das Signal am Eingang des zweiten Inverters) seinen
Zustand von „logisch hoch“ auf „logisch niedrig“ (- bzw.
umgekehrt von „logisch niedrig“ auf „logisch hoch“ -).

Demzufolge wechselt dann das Signal am Ausgang des zweiten Inverters bzw. am Ausgang des Verzögerungsglieds - wiederum nach einer bestimmten Verzögerungszeit t_b - seinen Zustand
5 von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -).

Das Signal am Ausgang des Verzögerungsglieds entspricht somit dem Signal an diesem Eingang, außer dass es diesem gegenüber -
10 insgesamt - um eine Signal-Verzögerungszeit $T = t_a + t_b$ verzögert ist.

Um ein Bauelement bzw. eine Signal-Verzögerungs-Einrichtung mit einstellbarer Signal-Verzögerungszeit bereitzustellen,
15 können mehrere Verzögerungsglieder der o.g. Art hintereinandergeschaltet werden.

Das Signal am Ausgang des n-ten Verzögerungsglieds ist gegenüber dem Signal am Eingang einer derartigen Signal-
20 Verzögerungs-Einrichtung um $n \times T$ verzögert.

Die Ausgänge der Verzögerungsglieder können - außer mit dem jeweils folgenden Verzögerungsglied - zusätzlich noch z.B. mit Hilfe entsprechender Transfer-Gatter mit dem (Gesamt-) Ausgang der Signal-Verzögerungs-Einrichtung verbunden sein.
25

Mit Hilfe der Transfer-Gatter kann dasjenige Verzögerungsglied ausgewählt werden, dessen Ausgangssignal an den Ausgang der Signal-Verzögerungs-Einrichtung
30 durchgeschaltet werden soll.

Auf diese Weise kann die Verzögerung des (Gesamt-) Ausgangs-Signals in Bezug auf das am Eingang der Signal-Verzögerungs-Einrichtung bzw. an dessen erstem Verzögerungsglied
35 anliegende Signal eingestellt werden.

Mit Hilfe einer Signal-Verzögerungs-Einrichtung der o.g. Art ist allerdings die insgesamt auftretende Signalverzögerung, mit der das Eingangssignal beauschlagt wird, nur mit relativ grober Genauigkeit einstellbar.

5

Die Erfindung hat zur Aufgabe, eine neuartige digitale Signal-Verzögerungs-Einrichtung bereitzustellen.

10 Sie erreicht dieses und weitere Ziele durch den Gegenstand des Anspruchs 1.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

15 Gemäß einem Grundgedanken der Erfindung wird eine digitale Signal-Verzögerungs-Einrichtung zur Umwandlung eines Signals (IN) in ein diesem entsprechendes, verzögertes Signal (OUT) bereitgestellt, mit mehreren, hintereinandergeschalteten Signal-Verzögerungs-Elementen, wobei in Abhängigkeit von der gewünschten Verzögerung des verzögerten Signals (OUT) jeweils 20 das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements zur Erzeugung des verzögerten Signals (OUT) verwendet wird, und wobei die Signal-Verzögerungs-Elemente jeweils nur einen einzigen Inverter aufweisen.

25

Abhängig von der jeweils gewünschten Verzögerung kann dann das zur Erzeugung des verzögerten Signals (OUT) verwendete Ausgangssignal des jeweiligen Signal-Verzögerungs-Elements gegenüber dem Signal (IN) invertiert oder nicht-invertiert 30 sein.

35 Vorteilhaft ist eine Ausgestaltung, bei welcher die Signal-Verzögerungs-Elemente jeweils mit entsprechenden Schalt-Einrichtungen verbunden sind, wobei - abhängig von der jeweils gewünschten Verzögerung - diejenige Schalt-Einrichtung aktiviert wird, die mit demjenigen Signal-Verzögerungs-Element verbunden ist, dessen Ausgangssignal zur

Erzeugung des verzögerten Signals (OUT) verwendet werden soll.

Vorzugsweise ist - abhängig davon, ob das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist - die mit dem jeweiligen Signal-Verzögerungs-Element verbundene Schalt-Einrichtung entsprechend so ausgestaltet, dass sie - bei Aktivierung - das Ausgangssignal in nicht-invertierter, oder in invertierter Weise weiterschaltet.

Dadurch wird erreicht, dass das jeweils weitergeschaltete, verzögerte Signal dem - z.B. am Eingang der Signal-Verzögerungs-Einrichtung anliegenden - Signal (IN) entspricht (d.h. identisch, oder alternativ komplementär zu diesem ist), und diesem gegenüber mit einer - einstellbaren - Verzögerung behaftet ist (nämlich mit einer Verzögerung, die im wesentlichen der Verzögerungszeit des Ausgangssignals desjenigen Signal-Verzögerungs-Elements entspricht, dessen Ausgangssignal - ggf. in invertierter Form - über die entsprechende Schalt-Einrichtung weitergeschaltet wird).

Da die entsprechenden Signal-Verzögerungs-Elemente jeweils nur einen einzigen, und nicht etwa z.B. zwei hintereinandergeschaltete Inverter aufweisen, ist die jeweils gewünschte Verzögerungszeit wesentlich feiner bzw. genauer einstellbar, als bei herkömmlichen digitalen Signal-Verzögerungs-Einrichtungen.

Im folgenden wird die Erfindung anhand mehrerer Ausführungsbeispiele und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

Figur 1 eine schematische Darstellung einer Schaltungsanordnung einer digitalen Signal-Verzögerungs-Einrichtung gemäß dem Stand der Technik;

Figur 2 eine schematische Darstellung einer Schaltungsanordnung einer digitalen Signal-Verzögerungs-Einrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

5

Figur 3 eine schematische Darstellung einer bei der in Figur 2 gezeigten digitalen Signal-Verzögerungs-Einrichtung als Schaltglied erster Art verwendeten Inverter-Schaltanordnung;

10

Figur 4 eine schematische Darstellung einer bei der in Figur 2 gezeigten digitalen Signal-Verzögerungs-Einrichtung als Schaltglied zweiter Art verwendeten Transfer-Gatter-Schaltanordnung;

15

Figur 5a eine schematische Darstellung eines bei einem alternativen Ausführungsbeispiel einer Signal-Verzögerungs-Einrichtung verwendeten Schaltglieds erster Art, und eines zusätzlich hinter das jeweilige Schaltglied erster Art geschalteten Tristate-Inverters;

20

Figur 5b eine schematische Darstellung eines bei dem alternativen Ausführungsbeispiel einer Signal-Verzögerungs-Einrichtung verwendeten Schaltglieds zweiter Art, und eines zusätzlich hinter das Schaltglied geschalteten Tristate-Inverters;

25

Figur 6a eine schematische Darstellung eines bei einer Abwandlung des alternativen Ausführungsbeispiels verwendeten Schaltglieds erster Art, sowie eines dahintergeschalteten Transfer-Gatters, und eines Tristate-Inverters; und

30

Figur 6b eine schematische Darstellung eines bei der Abwandlung des alternativen Ausführungsbeispiels verwendeten Schaltglieds erster Art, welches anstelle des in Figur 5b gezeigten Schaltglieds zweiter Art eingesetzt wird, sowie zweier dahintergeschalteter Tristate-Inverter.

35

In Figur 1 ist eine schematische Darstellung einer Schaltungsanordnung einer digitalen Signal-Verzögerungs-

5 Einrichtung 1 gemäß dem Stand der Technik gezeigt.

Die Signal-Verzögerungs-Einrichtung 1 dient dazu, ein an einem Eingang 2a der Signal-Verzögerungs-Einrichtung 1 anliegendes, digitales Signal IN mit einer - einstellbar

10 großen - Verzögerung zu beaufschlagen, so dass am Ausgang 2b der Signal-Verzögerungs-Einrichtung 1 ein - gegenüber dem Eingangssignal IN verzögertes - digitales Signal OUT abgegriffen werden kann.

15 Wie in Figur 1 gezeigt ist, weist die Signal-Verzögerungs-Einrichtung 1 eine Vielzahl hintereinandergeschalteter Signal-Verzögerungs-Elemente 3a, 3b, 3c, 3d, 3e auf. Die Anzahl n an Signal-Verzögerungs-Elementen 3a, 3b, 3c, 3d, 3e ist - wie weiter unten genauer erläutert wird - in Abhängigkeit von derjenigen Signal-Verzögerung gewählt, die mit der Signal-Verzögerungs-Einrichtung 1 maximal erzielt werden können soll.

25 Das erste Signal-Verzögerungs-Element 3a ist über eine Leitung 4a mit dem Eingang 2a der Signal-Verzögerungs-Einrichtung 1 verbunden, sowie - über eine Leitung 4b - mit dem Eingang des zweiten Signal-Verzögerungs-Elements 3b. Der Ausgang des zweiten Signal-Verzögerungs-Elements 3b ist über eine Leitung 4c an den Eingang des dritten Signal-

30 Verzögerungs-Elements 3c angeschlossen; auf entsprechende Weise ist der Ausgang des dritten Signal-Verzögerungs-Elements 3c über eine Leitung 4d mit dem Eingang eines weiteren (hier nicht dargestellten) Signal-Verzögerungs-Elements verbunden, usw.

35

Wie weiter in Figur 1 gezeigt ist, ist der Eingang des Signal-Verzögerungs-Elements 3d über eine Leitung 4e an den

Ausgang eines vorangehenden (hier ebenfalls nicht dargestellten) Signal-Verzögerungs-Elements angeschlossen, und der Eingang des Signal-Verzögerungs-Elements 3e über eine Leitung 4f an den Ausgang des Signal-Verzögerungs-Elements
5 3d.

Jedes Signal-Verzögerungs-Element 3a, 3b, 3c, 3d, 3e weist zwei hintereinandergeschaltete Inverter 5a, 5b bzw. 6a, 6b bzw. 7a, 7b bzw. 8a, 8b bzw. 9a, 9b auf.

10 Der Eingang des jeweils ersten Inverters 5a, 6a, 7a, 8a, 9a jedes Signal-Verzögerungs-Elements 3a, 3b, 3c, 3d, 3e bildet jeweils den Eingang des entsprechenden Signal-Verzögerungs-Elements 3a, 3b, 3c, 3d, 3e (d.h. ist mit der entsprechenden
15 Leitung 4a, 4b, 4c, 4e, 4f verbunden), und der Ausgang des jeweils ersten Signal-Verzögerungs-Element-Inverters 5a, 6a, 7a, 8a, 9a ist über entsprechende Verbindungsleitungen 10, 11, 12, 13, 14 jeweils mit dem Eingang des jeweils zweiten Signal-Verzögerungs-Element-Inverters 5b, 6b, 7b, 8b, 9b verbunden. Der Ausgang des jeweils zweiten Inverters 5b, 6b, 7b, 8b, 9b jedes Signal-Verzögerungs-Elements 3a, 3b, 3c, 3d, 3e bildet jeweils den Ausgang des entsprechenden Signal-Verzögerungs-Elements 3a, 3b, 3c, 3d, 3e (d.h. ist mit der entsprechenden Leitung 4b, 4c, 4d, 4f verbunden).

25 Bei einem Wechsel des Zustands des am Eingang des ersten Signal-Verzögerungs-Elements 3a bzw. dessen erstem Inverter 5a anliegenden Signals IN z.B. von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -) wechselt - nach einer bestimmten Verzögerungszeit t_a - das Signal am Ausgang des ersten Signal-Verzögerungs-Element-Inverters 5a (und dementsprechend auch das Signal am Eingang des zweiten Signal-Verzögerungs-Element-Inverters 5b) seinen Zustand von „logisch hoch“ auf „logisch niedrig“ (- bzw. umgekehrt von „logisch niedrig“ auf „logisch hoch“ -). Demzufolge wechselt dann das Signal am Ausgang des zweiten Signal-Verzögerungs-Element-Inverters 5b

bzw. am Ausgang des ersten Signal-Verzögerungs-Elements 3a - wiederum nach einer bestimmten Verzögerungszeit t_b - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -).

5

Das Signal am Ausgang des zweiten Signal-Verzögerungs-Element-Inverters 5b bzw. des ersten Signal-Verzögerungs-Elements 3a (und damit auch das Signal am Eingang des zweiten Signal-Verzögerungs-Elements 3b bzw. dessen erstem Inverter 6a) entspricht somit dem Signal IN am Eingang des ersten Signal-Verzögerungs-Elements 3a bzw. dessen erstem Inverter 5a, außer dass es diesemgegenüber - insgesamt - um eine Verzögerungs-Element-Signal-Verzögerungszeit $T = t_a + t_b$ verzögert ist.

10

Wie oben erläutert, sind die übrigen Signal-Verzögerungs-Elemente 3b, 3c, 3d, 3e entsprechend identisch aufgebaut, wie das erste Signal-Verzögerungs-Element 3a.

15

Demzufolge wechselt - bei einem Wechsel des Zustands des am jeweiligen Eingang des jeweiligen Signal-Verzögerungs-Elements 3b, 3c, 3d, 3e bzw. dessen jeweils erstem Inverter 6a, 7a, 8a, 9a anliegenden Signals z.B. von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -) wiederum jeweils nach einer bestimmten Verzögerungs-Element-(Gesamt)-Signal-Verzögerungszeit T - das Signal am Ausgang des jeweiligen Signal-Verzögerungs-Elements 3b, 3c, 3d, 3e bzw. dessen jeweils zweitem Inverter 6b, 7b, 8b, 9b ebenfalls seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -).

20

Das z.B. am Ausgang des zweiten Signal-Verzögerungs-Elements 3b anliegende Signal (und damit auch das Signal am Eingang des dritten Signal-Verzögerungs-Elements 3c bzw. dessen erstem Inverter 7a) entspricht somit dem Signal IN am Eingang des ersten Signal-Verzögerungs-Elements 3a bzw. dessen erstem

25

Inverter 5a, außer dass es diesemgegenüber - insgesamt - um eine Gesamt-Verzögerungszeit von $T + T = 2T$ verzögert ist (damit entspricht - allgemein ausgedrückt - das Signal am Ausgang des n-ten Signal-Verzögerungs-Elements somit dem

5 Signal IN am Eingang der Signal-Verzögerungs-Einrichtung 1, außer dass es diesemgegenüber - insgesamt - um eine Gesamt-Verzögerungszeit von $n \times T$ verzögert ist).

10 Wie in Figur 1 weiter gezeigt ist, ist der Ausgang des ersten Signal-Verzögerungs-Elements 3a - außer über die Leitung 4b mit dem Eingang des zweiten Signal-Verzögerungs-Elements 3b - noch über eine Leitung 15a mit dem Eingang eines ersten Schaltglieds, z.B. einem Transfer-Gatter 16a verbunden.

15 Auf entsprechende Weise sind auch die Ausgänge der übrigen Signal-Verzögerungs-Elemente 3b, 3c, 3d, 3e jeweils über entsprechende Leitungen 15b, 15d, 15e jeweils mit dem Eingang entsprechender weiterer Schaltglieder, insbesondere Transfer-Gatter 16b, 16d, 16e verbunden.

20 Die Ausgänge der Transfer-Gatter 16a, 16b, 16d, 16e sind über entsprechende Leitungen 17a, 17b, 17d, 17e an eine - mit dem Ausgang 2b der Signal-Verzögerungs-Einrichtung 1 verbundene - Leitung 18 angeschlossen.

25 An die Steuereingänge 19a, 19b, 19d, 19e der Transfer-Gatter 16a, 16b, 16d, 16e werden - wie weiter unten im Detail beschrieben - entsprechende Steuersignale $C_1, C_2, \dots, C_{n-1}, C_n$ angelegt. Bei einem „logisch niedrigen“ Steuersignal $C_1, C_2, \dots, C_{n-1}, C_n$ befindet sich das jeweilige Transfer-Gatter 16a, 16b, 16d, 16e in einem „gesperrten“, und bei einem „logisch hohen“ Steuersignal $C_1, C_2, \dots, C_{n-1}, C_n$ in einem „leitenden“ Zustand. Bei einem „leitenden“ Zustand wird das am Eingang des jeweiligen Transfer-Gatters 16a, 16b, 16d, 16e anliegende Signal an dessen Ausgang durchgeschaltet (und bei einem „gesperrten“ Zustand vom Transfer-Gatter-Ausgang getrennt).

Dadurch, dass jeweils eines der Steuersignale $C_1, C_2, \dots, C_{n-1}, C_n$ so gewählt wird, dass es in einem „logisch hohen“ Zustand ist, und die jeweils anderen Steuersignale $C_1, C_2, \dots, C_{n-1}, C_n$ so, dass sie in einem „logisch niedrigen“ Zustand sind, kann dasjenige Signal-Verzögerungs-Element 3a, 3b, 3c, 3d, 3e ausgewählt werden, dessen Ausgangssignal an den Ausgang 2b der Signal-Verzögerungs-Einrichtung 1 durchgeschaltet werden soll.

10

Das am Ausgang 2b der Signal-Verzögerungs-Einrichtung 1 ausgegebene Signal OUT ist also gegenüber dem Signal am Eingang 2a der Signal-Verzögerungs-Einrichtung 1 mit einer Verzögerung behaftet, die der Verzögerungszeit des Ausgangssignals desjenigen Signal-Verzögerungs-Elements 3a, 3b, 3c, 3d, 3e entspricht, dessen Ausgang – über das entsprechende Transfer-Gatter 16a, 16b, 16d, 16e – gerade an den Ausgang 2b der Signal-Verzögerungs-Einrichtung 1 durchgeschaltet wird (zuzüglich der Verzögerungszeit des jeweils durchgeschalteten Transfer-Gatters 16a, 16b, 16d, 16e).

25

In Figur 2 ist eine schematische Darstellung einer Schaltungsanordnung einer digitalen Signal-Verzögerungs-Einrichtung 101 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

30

Die Signal-Verzögerungs-Einrichtung 101 kann z.B. in ein – z.B. auf CMOS-Technologie beruhendes – DRAM-Speicherbauelement eingebaut sein (oder in ein beliebiges anders Bauelement). Sie dient dazu, ein an einem Eingang 102a der Signal-Verzögerungs-Einrichtung 101 anliegendes, digitales Signal IN mit einer – einstellbar großen – Verzögerung zu beaufschlagen, so dass am Ausgang 102b der Signal-Verzögerungs-Einrichtung 101 ein – gegenüber dem

Eingangssignal IN verzögertes - digitales Signal OUT abgegriffen werden kann.

Wie in Figur 2 gezeigt ist, weist die Signal-Verzögerungs-
5 Einrichtung 101 eine Vielzahl hintereinandergeschalteter
Signal-Verzögerungs-Elemente 103a, 103b, 103c, 103d, 103e
auf. Die Anzahl n an Signal-Verzögerungs-Elementen 103a,
103b, 103c, 103d, 103e ist - wie weiter unten genauer
erläutert wird - in Abhängigkeit von derjenigen Signal-
10 Verzögerung gewählt, die mit der Signal-Verzögerungs-
Einrichtung 101 maximal erzielt werden können soll.

Das erste Signal-Verzögerungs-Element 103a ist über eine
Leitung 104a mit dem Eingang 102a der Signal-Verzögerungs-
15 Einrichtung 101 verbunden, sowie - über eine Leitung 104b -
mit dem Eingang des zweiten Signal-Verzögerungs-Elements
103b. Der Ausgang des zweiten Signal-Verzögerungs-Elements
103b ist über eine Leitung 104c an den Eingang des dritten
Signal-Verzögerungs-Elements 103c angeschlossen; auf
20 entsprechende Weise ist der Ausgang des dritten Signal-
Verzögerungs-Elements 103c über eine Leitung 104d mit dem
Eingang eines weiteren (hier nicht dargestellten) Signal-
Verzögerungs-Elements verbunden, usw.

25 Wie weiter in Figur 2 gezeigt ist, ist der Eingang des
Signal-Verzögerungs-Elements 103d über eine Leitung 104e an
den Ausgang eines vorangehenden (hier ebenfalls nicht
dargestellten) Signal-Verzögerungs-Elements angeschlossen,
und der Eingang des Signal-Verzögerungs-Elements 103e über
30 eine Leitung 104f an den Ausgang des Signal-Verzögerungs-
Elements 103d.

Jedes Signal-Verzögerungs-Element 103a, 103b, 103c, 103d,
103e weist - anders als bei der in Figur 1 gezeigten Signal-
35 Verzögerungs-Einrichtung - jeweils nur einen einzigen (statt
zwei hintereinandergeschalteter) Inverter 105, 106, 107, 108,
109 auf, wobei der Eingang des jeweiligen Inverters 105, 106,

Verzögerungszeit t - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (- bzw. umgekehrt von „logisch hoch“ auf „logisch niedrig“ -).

5 Das Signal am Ausgang des zweiten Signal-Verzögerungs-Elements 103b bzw. des Inverters 106 entspricht somit dem Signal IN am Eingang des ersten Signal-Verzögerungs-Elements 103a bzw. des Inverters 105, außer dass es diesemgegenüber - insgesamt - um eine Verzögerungszeit von $t + t = 2t$ verzögert ist.

Wie oben erläutert, sind die übrigen Signal-Verzögerungs-Elemente 103c, 103d, 103e entsprechend identisch aufgebaut, wie die ersten beiden Signal-Verzögerungs-Element 103a, 103b.

15 Aufgrund der jeweils invertierenden, verzögerungsbehafteten Weiterschaltung des jeweils am Eingang des entsprechenden Signal-Verzögerungs-Elements 103c, 103d, 103e anliegenden digitalen Signals (entsprechend wie oben in Bezug auf die ersten beiden Signal-Verzögerungs-Elemente 103a, 103b erläutert) durch das jeweilige Signal-Verzögerungs-Element 103c, 103d, 103e entspricht allgemein ausgedrückt das Signal am Ausgang des n-ten Signal-Verzögerungs-Elements 103c, 103d, 103e somit dem Signal IN am Eingang 102a der Signal-Verzögerungs-Einrichtung 101, außer dass es

25 i) gegenüber dem Signal IN um eine Gesamt-Verzögerungszeit von $n \times t$ verzögert ist,

30 und ggf. - und zwar jeweils nur bei solchen Signal-Verzögerungs-Elementen 103c, 103d, bei welchen n ungeradzahlig ist - dass es

ii) gegenüber dem Signal IN invertiert ist.

35 Wie in Figur 2 weiter gezeigt ist, ist der Ausgang des ersten Signal-Verzögerungs-Elements 103a bzw. des Inverters 105 -

außer über die Leitung 104b mit dem Eingang des zweiten
Signal-Verzögerungs-Elements 103b bzw. des Inverters 106 -
noch über eine Leitung 115a mit dem Eingang eines, wie im
folgenden noch genauer erläutert wird, Schaltglieds 116a
5 „erster Art“ verbunden.

Auf entsprechend ähnliche Weise ist der Ausgang des zweiten
Signal-Verzögerungs-Elements 103b bzw. des Inverters 106 über
eine Leitung 115b mit dem Eingang eines, wie im folgenden
10 noch genauer erläutert wird, Schaltglieds 116b „zweiter Art“
verbunden.

Entsprechend sind auch die Ausgänge der übrigen Signal-
Verzögerungs-Elemente 103c, 103d, 103e jeweils über
15 entsprechende Leitungen 115d, 115e jeweils mit dem Eingang
entsprechender weiterer Schaltglieder 116d, 116e verbunden,
und zwar - allgemein ausgedrückt - jeweils die Ausgänge von
solchen Signal-Verzögerungs-Elementen 103c, 103d, bei welchen
n ungeradzahlig ist, mit dem Eingang eines entsprechenden
20 Schaltglieds 116d „erster Art“, und die Ausgänge von solchen
Signal-Verzögerungs-Elementen 103c, 103d, bei welchen n
geradzahlig ist, mit dem Eingang eines entsprechenden
Schaltglieds 116e „zweiter Art“.

25 Beim vorliegenden Ausführungsbeispiel wird als Schaltglied
116a, 116d „erster Art“ z.B. jeweils die in Figur 3 im Detail
gezeigte Inverter-Schaltanordnung (insbesondere eine
Tristate-Inverter-Schaltanordnung) verwendet, und als
Schaltglied 116b, 116e „zweiter Art“ jeweils z.B. die in
30 Figur 4 im Detail gezeigte Transfer-Gatter-Schaltanordnung.

Wie in Figur 4 gezeigt ist, weist die Transfer-Gatter-
Schaltanordnung der Schaltglieder 116b, 116e „zweiter Art“
jeweils einen n-Kanal-Feldeffekttransistor 120a und einen p-
35 Kanal-Feldeffekttransistor 120b auf.

Das an einem Steuereingang 119b des jeweiligen Schaltglieds 116b, 116e anliegende Steuersignal C2 wird - über eine Steuerleitung 121a - dem Gate des n-Kanal-Feldeffekttransistors 120a zugeführt.

5

Des weiteren wird das am Steuereingang 119b des jeweiligen Schaltglieds 116b, 116e anliegende Steuersignal C2 zusätzlich - über eine Leitung 121b - dem Eingang eines Inverters 122 zugeführt, und das am Ausgang des Inverters 122 ausgegebene, 10 zum Steuersignal C2 komplementäre Steuersignal /C2 dem Gate des p-Kanal-Feldeffekttransistors 120b.

Wie aus Figur 4 weiter ersichtlich ist, sind die Drains des n- bzw. p-Kanal-Feldeffekttransistors 120a, 120b über eine 15 Leitung 123 miteinander verbunden, und zusätzlich an die Leitung 115b angeschlossen (bilden also den Eingang der Transfer-Gatter-Schaltanordnung).

Des weiteren sind die Sourcen des n- bzw. p-Kanal-Feldeffekttransistors 120a, 120b über eine Leitung 124 20 miteinander verbunden, und zusätzlich mit einer - an eine Leitung 118 angeschlossene - Leitung 117b verbunden (bilden also den Ausgang der Transfer-Gatter-Schaltanordnung).

25 Dadurch wird der folgende Effekt erreicht: Sobald das am Steuereingang 119b des Schaltglieds 116b anliegende Steuersignal C2 seinen Zustand von „logisch niedrig“ auf „logisch hoch“ wechselt (und damit das komplementäre Steuersignal /C2 seinen Zustand von „logisch hoch“ auf „logisch niedrig“), wird das am Eingang der Transfer-Gatter-Schaltanordnung bzw. des Schaltglieds 116b, d.h. an der Leitung 115b anliegende Signal an den Ausgang der Transfer-Gatter-Schaltanordnung bzw. des Schaltglieds 116b, d.h. an 30 die Leitung 117b durchgeschaltet.

35

Wechselt dann das am Steuereingang 119b des Schaltglieds 116b anliegende Steuersignal C2 seinen Zustand wieder von „logisch

hoch" auf „logisch niedrig“ (und damit das komplementäre Steuersignal /C2 seinen Zustand wieder von „logisch niedrig“ auf „logisch hoch“), wird das am Eingang der Transfer-Gatter-Schaltanordnung bzw. des Schaltglieds 116b, d.h. an der

5 Leitung 115b anliegende Signal galvanisch wieder vom Ausgang der Transfer-Gatter-Schaltanordnung bzw. des Schaltglieds 116b, d.h. von der Leitung 117b getrennt.

Die Schaltglieder 116a, 116d „erster Art“ sind anders 10 aufgebaut, als das in Figur 4 dargestellte Schaltglied 116b „zweiter Art“. Und zwar weisen sie gemäß der in Figur 3 im Detail gezeigten (Tristate-) Inverter-Schaltanordnung jeweils zwei n-Kanal-Feldeffekttransistoren 126a, 126b, und zwei p-Kanal-Feldeffekttransistoren 125a, 125b auf.

15 Der n-Kanal-Feldeffekttransistor 126a, und der p-Kanal-Feldeffekttransistor 125a sind entsprechend ähnlich verschaltet, wie bei einem herkömmlichen, einfachen Inverter, nur dass der Drain des n-Kanal-Feldeffekttransistors 126a 20 nicht direkt an die Versorgungsspannung angeschlossen ist, sondern unter Zwischenschaltung des n-Kanal-Feldeffekttransistors 126b, und dass der Drain des p-Kanal-Feldeffekttransistors 125a nicht direkt an die Masse angeschlossen ist, sondern unter Zwischenschaltung des p-Kanal-Feldeffekttransistors 125b.

25 Dabei ist, wie in Figur 3 gezeigt ist, der Drain des n-Kanal-Feldeffekttransistors 126a - über eine Leitung 127 - an die Source des n-Kanal-Feldeffekttransistors 126b angeschlossen, und der Drain des n-Kanal-Feldeffekttransistors 126b - über eine Leitung 128 - an die Versorgungsspannung.

Des weiteren ist der Drain des p-Kanal-Feldeffekttransistors 125a - über eine Leitung 129 - an die Source des p-Kanal-Feldeffekttransistors 125b angeschlossen, und der Drain des p-Kanal-Feldeffekttransistors 125b - über eine Leitung 130 - 35 an die Masse.

Wie aus Figur 3 weiter ersichtlich ist, sind die Gates des n- bzw. p-Kanal-Feldeffekttransistors 125a, 126a über eine Leitung 132 miteinander verbunden, und zusätzlich an die

5 Leitung 115a angeschlossen (bilden also den Eingang der (Tristate-) Inverter-Schaltanordnung).

Des weiteren sind die Sourcen des n- bzw. p-Kanal-Feldeffekttransistors 125a, 126a über eine Leitung 131 miteinander verbunden, und zusätzlich mit einer – ebenfalls an die Leitung 118 angeschlossene – Leitung 117a verbunden (bilden also den Ausgang der (Tristate-) Inverter-Schaltanordnung).

15 Das an einem Steuereingang 119a des jeweiligen Schaltglieds 116a, 116d anliegende Steuersignal C1 wird – über eine Steuerleitung 133a – dem Gate des n-Kanal-Feldeffekttransistors 126b zugeführt.

20 Des weiteren wird das am Steuereingang 119a des jeweiligen Schaltglieds 116a, 116c anliegende Steuersignal C1 zusätzlich – über eine Leitung 133b – dem Eingang eines Inverters 134 zugeführt, und das am Ausgang des Inverters 134 ausgegebene, zum Steuersignal C1 komplementäre Steuersignal /C1 dem Gate des p-Kanal-Feldeffekttransistors 125b.

25

Dadurch wird der folgende Effekt erreicht: Sobald das am Steuereingang 119a des Schaltglieds 116a anliegende Steuersignal C1 seinen Zustand von „logisch hoch“ auf „logisch niedrig“ wechselt (und damit das komplementäre Steuersignal /C1 seinen Zustand von „logisch niedrig“ auf „logisch hoch“), wird der n- und der p-Kanal-Feldeffekttransistor 125b, 126b ausgeschaltet (und damit der von dem n- und dem p-Kanal-Feldeffekttransistor 125a, 126a gebildete einfache Inverter von der Versorgungsspannung bzw. der Masse getrennt, d.h. deaktiviert). Das am Eingang der (Tristate-) Inverter-Schaltanordnung bzw. des Schaltglieds

116a, d.h. an der Leitung 115a anliegende Signal hat dann keinen Einfluß auf das am Ausgang der (Tristate-) Inverter-Schaltanordnung bzw. des Schaltglieds 116a, d.h. an der Leitung 117a anliegende Signal.

5

Wechselt dann das am Steuereingang 119a des Schaltglieds 116a anliegende Steuersignal C1 seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (und damit das komplementäre Steuersignal /C1 seinen Zustand von „logisch hoch“ auf „logisch niedrig“), wird wird der n- und der p-Kanal-Feldeffekttransistor 125b, 126b eingeschaltet (und damit der von dem n- und dem p-Kanal-Feldeffekttransistor 125a, 126a gebildete einfache Inverter mit der Versorgungsspannung bzw. der Masse verbunden, d.h. deaktiviert).

10

Durch die beiden einen einfachen Inverter bildenden n- und der p-Kanal-Feldeffekttransistoren 125a, 126a wird dann das am Eingang des Schaltglieds 116a, d.h. an der Leitung 115a anliegende Signal in invertierter Form an den Ausgang des Schaltglieds 116a, d.h. an die Leitung 117a weitergeschaltet, wobei jeweils einer der Feldeffekttransistoren 125a, 126a den Arbeitswiderstand für den jeweils anderen Feldeffekttransistor 125a, 126a darstellt.

15

20 Wie in Figur 2 gezeigt ist, sind auf (entsprechende Weise wie beim ersten und zweiten Schaltglied 116a, 116b) auch bei den übrigen Schaltgliedern 116d, 116e die entsprechenden Ausgänge über entsprechende Leitungen 117d, 117e an die - mit dem Ausgang der Signal-Verzögerungs-Einrichtung 101 verbundene - Leitung 118 angeschlossen.

25

30 Wie bereits oben erwähnt, werden an die Steuereingänge 119a, 119b, 119d, 119e der Schaltglieder 116a, 116b, 116c, 116d, 116e entsprechende Steuersignale C₁, C₂, ..., C_{n-1}, C_n angelegt, und zwar so, dass jeweils eines der Steuersignale C₁, C₂, ..., C_{n-1}, C_n in einem „logisch hohen“ Zustand ist,

und die jeweils anderen Steuersignale $C_1, C_2, \dots, C_{n-1}, C_n$ in einem „logisch niedrigen“ Zustand sind.

Auf diese Weise kann jeweils dasjenige Signal-Verzögerungs-
5 Element 103a, 103b, 103c, 103d, 103e ausgewählt werden, dessen Ausgangssignal - ggf. in invertierter Form (nämlich bei Signal-Verzögerungs-Elementen 103c, 103d, bei welchen n ungeradzahlig ist) - an den Ausgang 102b der Signal-Verzögerungs-Einrichtung 1 durchgeschaltet werden soll.

10

Aufgrund der durch die Schaltglieder 116a, 116d erreichte - invertierte -, und die durch die Schaltglieder 116b, 116e erreichte - uninvertierte - Durchschaltung des vom jeweils ausgewählten Signal-Verzögerungs-Element 103a, 103b, 103c, 103d, 103e ausgegebenen Signals wird erreicht, dass das am Ausgang 102b der Signal-Verzögerungs-Einrichtung 101 ausgegebene Signal OUT dem Signal IN am Eingang 102a der Signal-Verzögerungs-Einrichtung 101 entspricht, allerdings diesem gegenüber mit einer - einstellbaren - Verzögerung behaftet ist (nämlich mit einer Verzögerung, die der Verzögerungszeit des Ausgangssignals desjenigen Signal-Verzögerungs-Elements 103a, 103b, 103c, 103d, 103e entspricht, dessen Ausgang - ggf. in invertierter Form - über das entsprechende Schaltglied 116a, 116b, 116d, 116e gerade an den Ausgang 102b der Signal-Verzögerungs-Einrichtung 101 durchgeschaltet wird (zuzüglich der Verzögerungszeit des jeweils aktiven Schaltglieds 116a, 116b, 116d, 116e)).

20

Dabei ist die jeweils gewünschte Verzögerungszeit zwischen dem Eingangssignal IN und dem Ausgangssignal OUT wesentlich feiner bzw. genauer einstellbar, als bei der in Figur 1 gezeigten Signal-Verzögerungs-Einrichtung 1 (nämlich in Zeit-Schritten mit einer Größe von t , und nicht in Zeit-Schritten mit einer Größe von $T = t_a + t_b$).

25

Um die Eigenschaften der in Figur 2, 3 und 4 gezeigten Signal-Verzögerungs-Einrichtung 101 bzgl. der jeweils

auftretenden kapazitiven Lasten zu verbessern, kann bei einem alternativen Ausführungsbeispiel - bei ansonstem identischen Aufbau der Signal-Verzögerungs-Einrichtung 101 - gemäß Figur 5a, 5b zwischen den Ausgang jedes Schaltglieds

5 116a, 116b, 116d, 116e (gleichgültig ob „erster Art“ oder „zweiter Art“) und der entsprechenden - mit der Leitung 118 verbunden - Leitung 117a, 117b, 117d, 117e eine zusätzliche Tristate-Inverter-Schaltanordnung 135, 136 geschaltet sein.

10 Die jeweils zwischengeschaltete Tristate-Inverter-Schaltanordnung 135, 136 ist entsprechend aufgebaut, wie die in Figur 3 gezeigte, dort als Schaltglied 116a „erster Art“ fungierende Tristate-Inverter-Schaltanordnung.

15 Durch die Dazuschaltung der o.g. Tristate-Inverter-Schaltanordnungen 135, 136 wird erreicht, dass die die Leitung 118 treibenden Schaltungen (hier: die Tristate-Inverter-Schaltanordnungen 135, 136) - gleichgültig, welches der Schaltglieder 116a, 116b, 116d, 116e durch Anlegen eines 20 entsprechenden „logisch hohen“ Steuersignals C_1, C_2, \dots, C_n , C_n gerade aktiviert ist - alle identisch aufgebaut sind, und sich somit - gleichgültig, welches der Schaltglieder 116a, 116b, 116d, 116e aktiviert ist - jeweils eine identische kapazitive Last ergibt.

25 Bei einer Abwandlung des o.g. alternativen Ausführungsbeispiels (d.h. bei einem weiteren alternativen Ausführungsbeispiel) kann gemäß Figur 6a zwischen den Ausgang jedes Schaltglieds 116a, 116d „erster Art“ und der 30 entsprechenden - mit der entsprechenden Leitung 117a, 117d verbundenen - zusätzlichen Tristate-Inverter-Schaltanordnung 135 eine Transfer-Gatter-Schaltanordnung 137 geschaltet sein, die entsprechend aufgebaut sein kann, wie die in Figur 4 gezeigte, dort als Schaltglied 116b „zweiter Art“ fungierende 35 Transfer-Gatter-Schaltanordnung.

Des weiteren können bei diesem weiteren alternativen Ausführungsbeispiel gemäß Figur 6b die o.g. Schaltglieder 116b, 116e „zweiter Art“ durch entsprechende Schaltglieder 139 „erster Art“ ersetzt sein (die entsprechend aufgebaut
5 sein können, wie die in Figur 3 gezeigte Tristate-Inverter-Schaltanordnung), und zwischen diese Schaltglieder 139 „erster Art“, und der entsprechenden - mit der jeweiligen Leitung 117b, 117e verbundenen - zusätzlichen Tristate-Inverter-Schaltanordnung 136 kann jeweils eine weitere
10 Tristate-Inverter-Schaltanordnung 138 geschaltet sein (die ebenfalls entsprechend aufgebaut sein kann, wie die in Figur 3 gezeigte, dort als Schaltglied 116a „erster Art“ fungierende Tristate-Inverter-Schaltanordnung).

15 Dabei kann das in Figur 6a gezeigte - zwischengeschaltete - Transfer-Gatter 137 so ausgelegt sein, dass die Signale vom Transission-Gatter 137 derart verzögert weitergeschaltet werden, dass die - insgesamt - bei der Weiterschaltung der entsprechenden Signale durch das in Figur 6a gezeigte
20 Schaltglied 116a, die Transfer-Gatter-Schaltanordnung 137, und die Tristate-Inverter-Schaltanordnung 135 auftretende Verzögerungszeit gleich groß ist, wie die - insgesamt - bei der Weiterschaltung der entsprechenden Signale durch das in Figur 6b gezeigte Schaltglied 139, und die beiden Tristate-Inverter-Schaltanordnungen 138, 136 auftretende
25 Verzögerungszeit.

Patentansprüche

1. Digitale Signal-Verzögerungs-Einrichtung (101) zur Umwandlung eines Signals (IN) in ein diesem entsprechendes, verzögertes Signal (OUT), mit mehreren, hintereinandergeschalteten Signal-Verzögerungs-Elementen (103a, 103b, 103c), wobei in Abhängigkeit von der gewünschten Verzögerung des verzögerten Signals (OUT) jeweils das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) zur Erzeugung des verzögerten Signals (OUT) verwendet wird,
dadurch gekennzeichnet, daß die Signal-Verzögerungs-Elemente (103a, 103b, 103c) jeweils nur einen einzigen Inverter (105, 106, 107) aufweisen.
2. Digitale Signal-Verzögerungs-Einrichtung (101) nach Anspruch 1, wobei - abhängig von der jeweils gewünschten Verzögerung - das zur Erzeugung des verzögerten Signals (OUT) verwendete Ausgangssignal des jeweiligen Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist.
3. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der vorhergehenden Ansprüche, welche mindestens drei hintereinandergeschaltete Signal-Verzögerungs-Elemente (103a, 103b, 103c) aufweist.
4. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der vorhergehenden Ansprüche, bei welcher die Signal-Verzögerungs-Elemente (103a, 103b, 103c) jeweils mit entsprechenden Schalt-Einrichtungen (116a, 116b, 135, 136, 137, 138) verbunden sind.
5. Digitale Signal-Verzögerungs-Einrichtung (101) nach Anspruch 4, bei welcher - abhängig von der jeweils gewünschten Verzögerung - diejenige Schalt-Einrichtung (116a,

116b, 135, 136, 137, 138) aktiviert wird, die mit demjenigen Signal-Verzögerungs-Element (103a, 103b, 103c) verbunden ist, dessen Ausgangssignal zur Erzeugung des verzögerten Signals (OUT) verwendet werden soll.

5

6. Digitale Signal-Verzögerungs-Einrichtung (101) nach Anspruch 4 oder 5, bei welcher abhängig davon, ob das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist, die mit dem jeweiligen Signal-Verzögerungs-Element (103a, 103b, 103c) verbundene Schalt-Einrichtung (116a, 116b, 135, 136, 137, 138) so ausgestaltet ist, dass sie das Ausgangssignal in nicht-invertierter, oder in invertierter Weise weiterschaltet.

15

7. Digitale Signal-Verzögerungs-Einrichtung (101) nach Anspruch 6, bei welcher dann, wenn das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) invertiert ist, die mit dem jeweiligen Signal-Verzögerungs-Element (103a, 103b, 103c) verbundene Schalt-Einrichtung (116a, 116b, 135, 136, 137, 138) so ausgestaltet ist, dass sie das Ausgangssignal in invertierter Weise weiterschaltet, und dann, wenn das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) nicht-invertiert ist, die mit dem jeweiligen Signal-Verzögerungs-Element (103a, 103b, 103c) verbundene Schalt-Einrichtung (116a, 116b, 135, 136, 137, 138) so ausgestaltet ist, dass sie das Ausgangssignal in nicht-invertierter Weise weiterschaltet.

25

8. Digitale Signal-Verzögerungs-Einrichtung (101) nach Anspruch 6, bei welcher dann, wenn das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) invertiert ist, die mit dem jeweiligen Signal-Verzögerungs-Element (103a, 103b, 103c) verbundene Schalt-Einrichtung (116a, 116b, 135, 136, 137, 138) so ausgestaltet ist, dass sie das Ausgangssignal in

nicht-invertierter Weise weiterschaltet, und dann, wenn das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) gegenüber dem Signal (IN) nicht-invertiert ist, die mit dem jeweiligen Signal-Verzögerungs-Element 5 (103a, 103b, 103c) verbundene Schalt-Einrichtung (116a, 116b, 135, 136, 137, 138) so ausgestaltet ist, dass sie das Ausgangssignal in invertierter Weise weiterschaltet.

10. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der Ansprüche 4 bis 8, bei welcher die Schalt-Einrichtungen - abhängig davon, ob sie mit einem Signal-Verzögerungs-Element (103a, 103b, 103c) verbunden sind, dessen Ausgangssignal gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist - eine Inverter-Schaltanordnung 15 (116a), oder eine Transfer-Gatter-Schaltanordnung (116b) aufweisen.

10. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der Ansprüche 4 bis 8, bei welcher die Schalt-Einrichtungen - abhängig davon, ob sie mit einem Signal-Verzögerungs-Element (103a, 103b, 103c) verbunden sind, dessen Ausgangssignal gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist - zwei Inverter-Schaltanordnungen (116a, 135) aufweisen, oder eine Transfer-Gatter-Schaltanordnung 25 (116b), und eine Inverter-Schaltanordnung (136).

11. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der Ansprüche 4 bis 8, bei welcher die Schalt-Einrichtungen - abhängig davon, ob sie mit einem Signal-Verzögerungs-Element (103a, 103b, 103c) verbunden sind, dessen Ausgangssignal gegenüber dem Signal (IN) invertiert oder nicht-invertiert ist - zwei Inverter-Schaltanordnungen (116a, 135), und eine Transfer-Gatter-Schaltanordnung (137) 30 aufweisen, oder drei Inverter-Schaltanordnungen (139, 138, 136).

12. Digitale Signal-Verzögerungs-Einrichtung (101) nach einem der Ansprüche 9 bis 11, bei welcher mindestens eine der Inverter-Schaltanordnungen (116a, 135) eine Tristate-Inverter-Schaltanordnung ist.

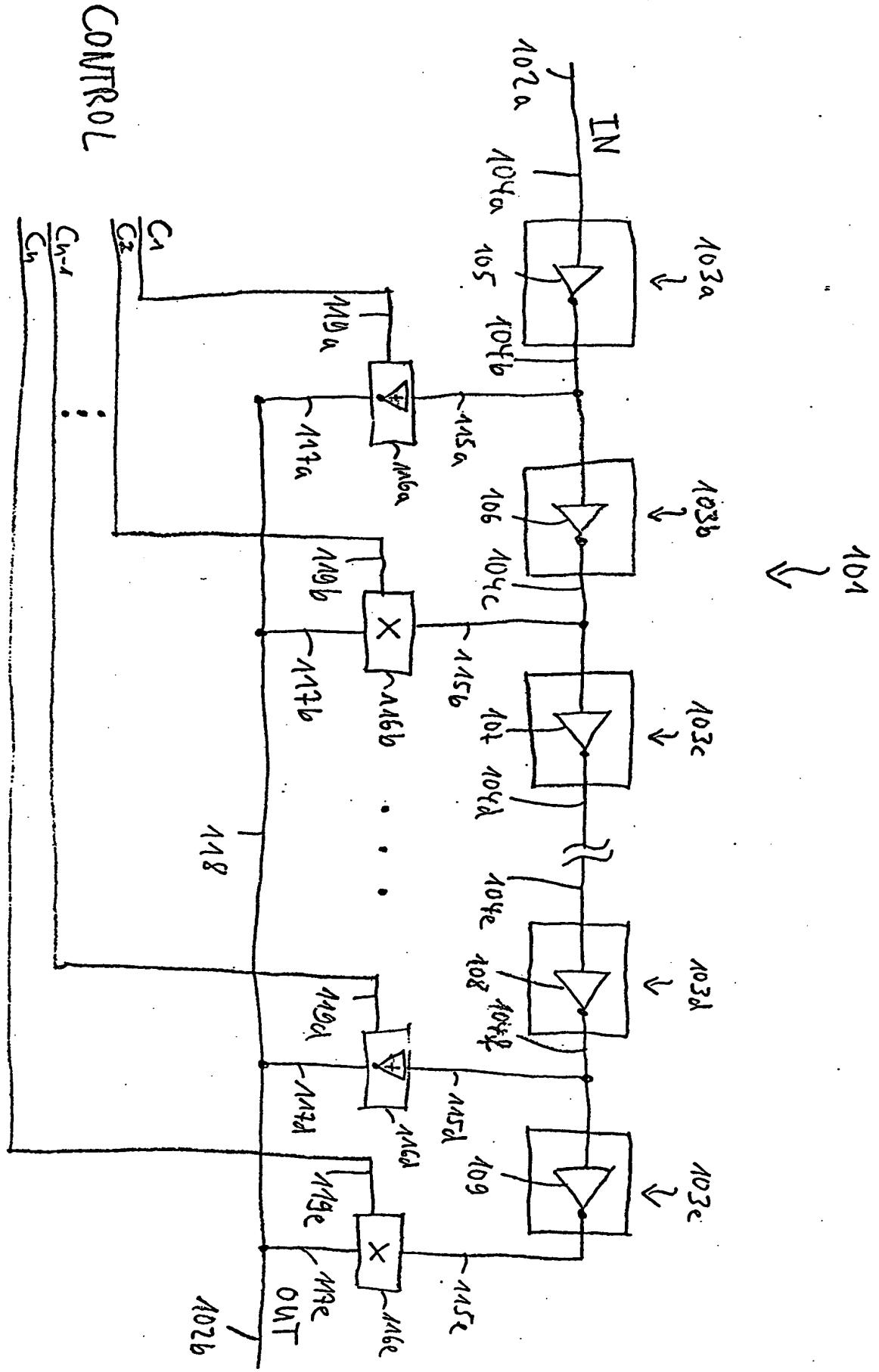
Zusammenfassung

Digitale Signal-Verzögerungs-Einrichtung

- 5 Die Erfindung betrifft eine digitale Signal-Verzögerungs-Einrichtung (101) zur Umwandlung eines Signals (IN) in ein diesem entsprechendes, verzögertes Signal (OUT), mit mehreren, hintereinandergeschalteten Signal-Verzögerungs-Elementen (103a, 103b, 103c), wobei in Abhängigkeit von der gewünschten Verzögerung des verzögerten Signals (OUT) jeweils das Ausgangssignal eines bestimmten Signal-Verzögerungs-Elements (103a, 103b, 103c) zur Erzeugung des verzögerten Signals (OUT) verwendet wird, und wobei die Signal-Verzögerungs-Elemente (103a, 103b, 103c) jeweils nur einen einzigen Inverter (105, 106, 107) aufweisen.
- 10
- 15

- Figur 2 -

Zusammenfassung



Bezugszeichenliste

1	Signal-Verzögerungs-Einrichtung
2a	Eingang
5 2b	Ausgang
3a	Signal-Verzögerungs-Element
3b	Signal-Verzögerungs-Element
3c	Signal-Verzögerungs-Element
3d	Signal-Verzögerungs-Element
10 3e	Signal-Verzögerungs-Element
4a	Leitung
4b	Leitung
4c	Leitung
4d	Leitung
15 4e	Leitung
4f	Leitung
5a	Inverter
5b	Inverter
6a	Inverter
20 6b	Inverter
7a	Inverter
7b	Inverter
8a	Inverter
8b	Inverter
25 9a	Inverter
9b	Inverter
10	Verbindungsleitung
11	Verbindungsleitung
12	Verbindungsleitung
30 13	Verbindungsleitung
14	Verbindungsleitung
15a	Leitung
15b	Leitung
15d	Leitung
35 15e	Leitung
16a	Schaltglied
16b	Schaltglied

16d Schaltglied
16e Schaltglied
17a Leitung
17b Leitung
5 17d Leitung
17e Leitung
18 Leitung
101 Signal-Verzögerungs-Einrichtung
102a Eingang
10 102b Ausgang
103a Signal-Verzögerungs-Element
103b Signal-Verzögerungs-Element
103c Signal-Verzögerungs-Element
103d Signal-Verzögerungs-Element
15 103e Signal-Verzögerungs-Element
104a Leitung
104b Leitung
104c Leitung
104d Leitung
20 104e Leitung
104f Leitung
105 Inverter
106 Inverter
107 Inverter
25 108 Inverter
109 Inverter
115a Leitung
115b Leitung
115d Leitung
30 115e Leitung
116a Schaltglied
116b Schaltglied
116d Schaltglied
116e Schaltglied
35 117a Leitung
117b Leitung
117d Leitung

	117e	Leitung
	118	Leitung
	119a	Steuereingang
	119b	Steuereingang
5	119d	Steuereingang
	119e	Steuereingang
	120a	n-Kanal-Feldeffekttransistor
	120b	p-Kanal-Feldeffekttransistor
	121a	Leitung
10	121b	Leitung
	121c	Leitung
	122	Inverter
	123	Leitung
	124	Leitung
15	125a	p-Kanal-Feldeffekttransistor
	125b	p-Kanal-Feldeffekttransistor
	126a	n-Kanal-Feldeffekttransistor
	126a	n-Kanal-Feldeffekttransistor
	127	Leitung
20	128	Leitung
	129	Leitung
	130	Leitung
	131	Leitung
	132	Leitung
25	133a	Leitung
	133b	Leitung
	133c	Leitung
	134	Inverter
	135	Tristate-Inverter-Schaltanordnung
30	136	Tristate-Inverter-Schaltanordnung
	137	Transmission-Gate-Schaltanordnung
	138	Tristate-Inverter-Schaltanordnung
	139	Tristate-Inverter-Schaltanordnung

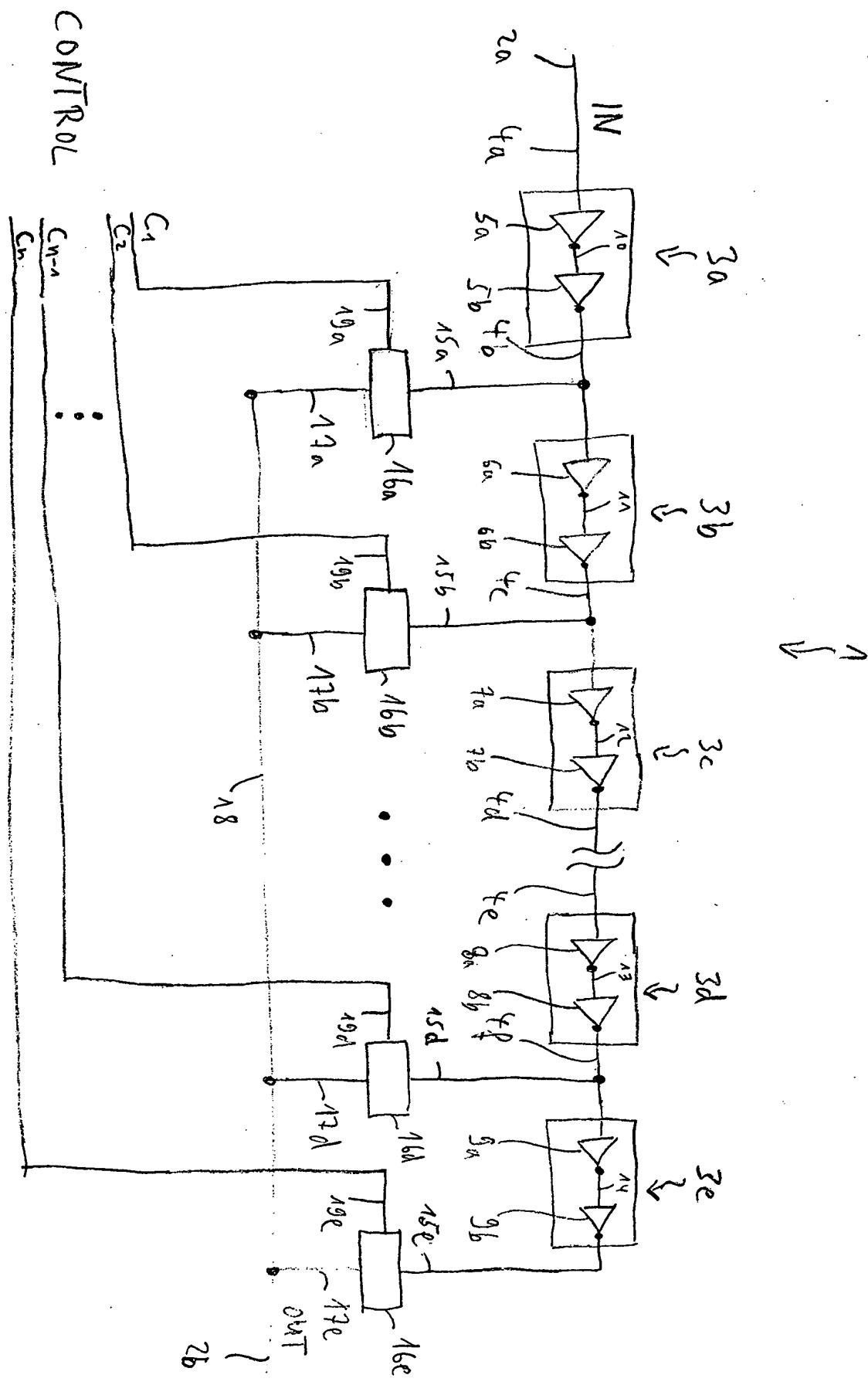
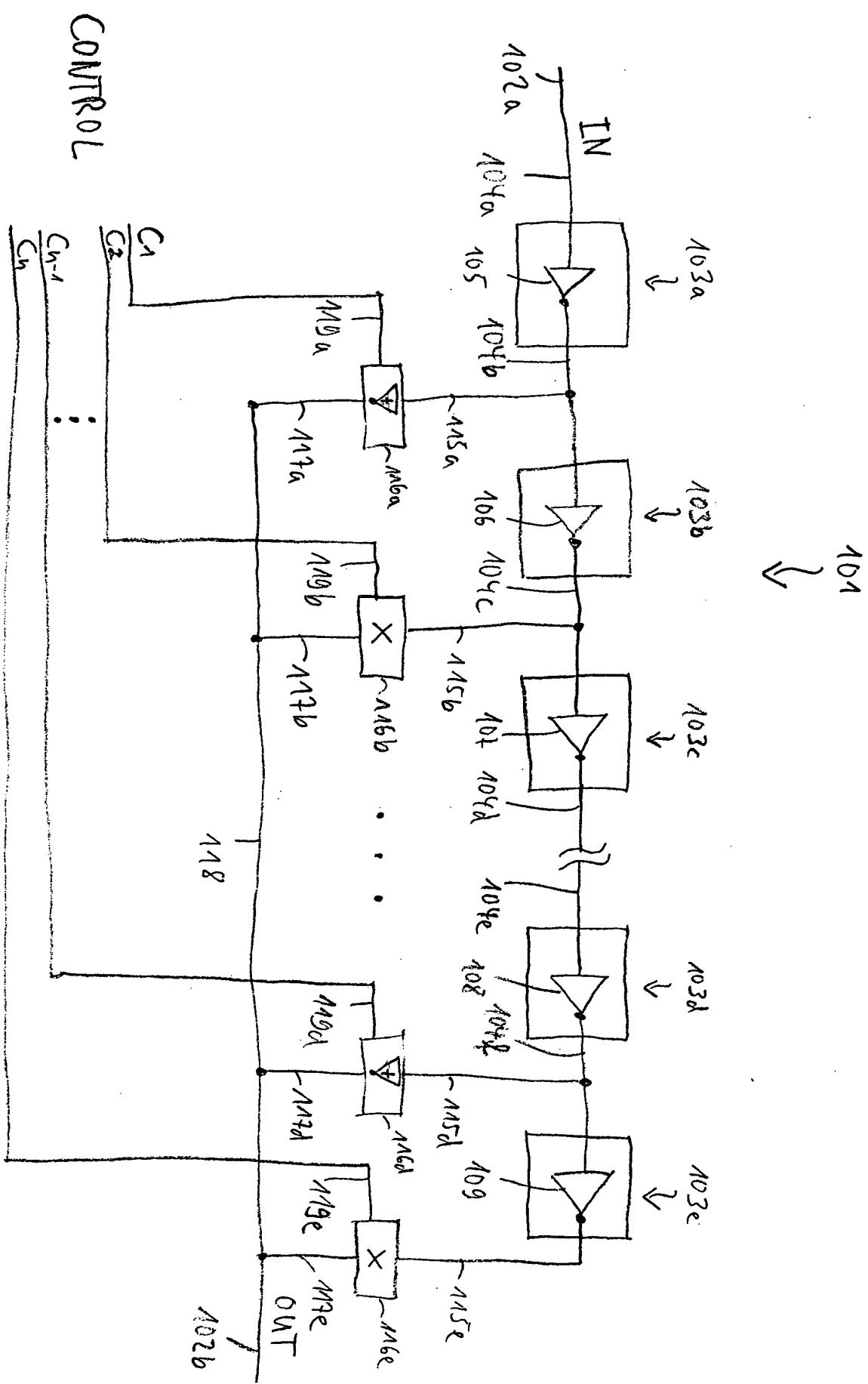


Fig. 1



٢٦١

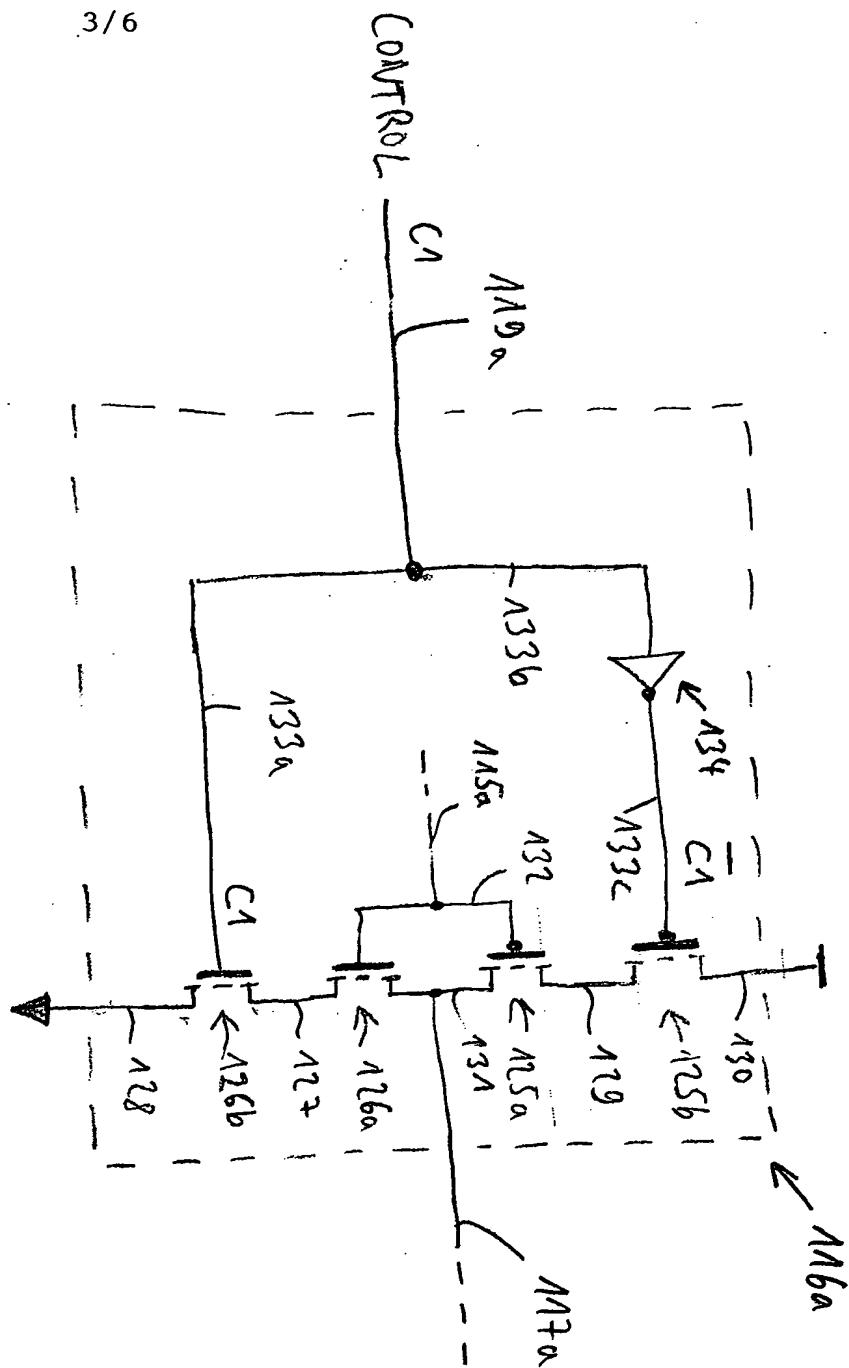


Fig. 3

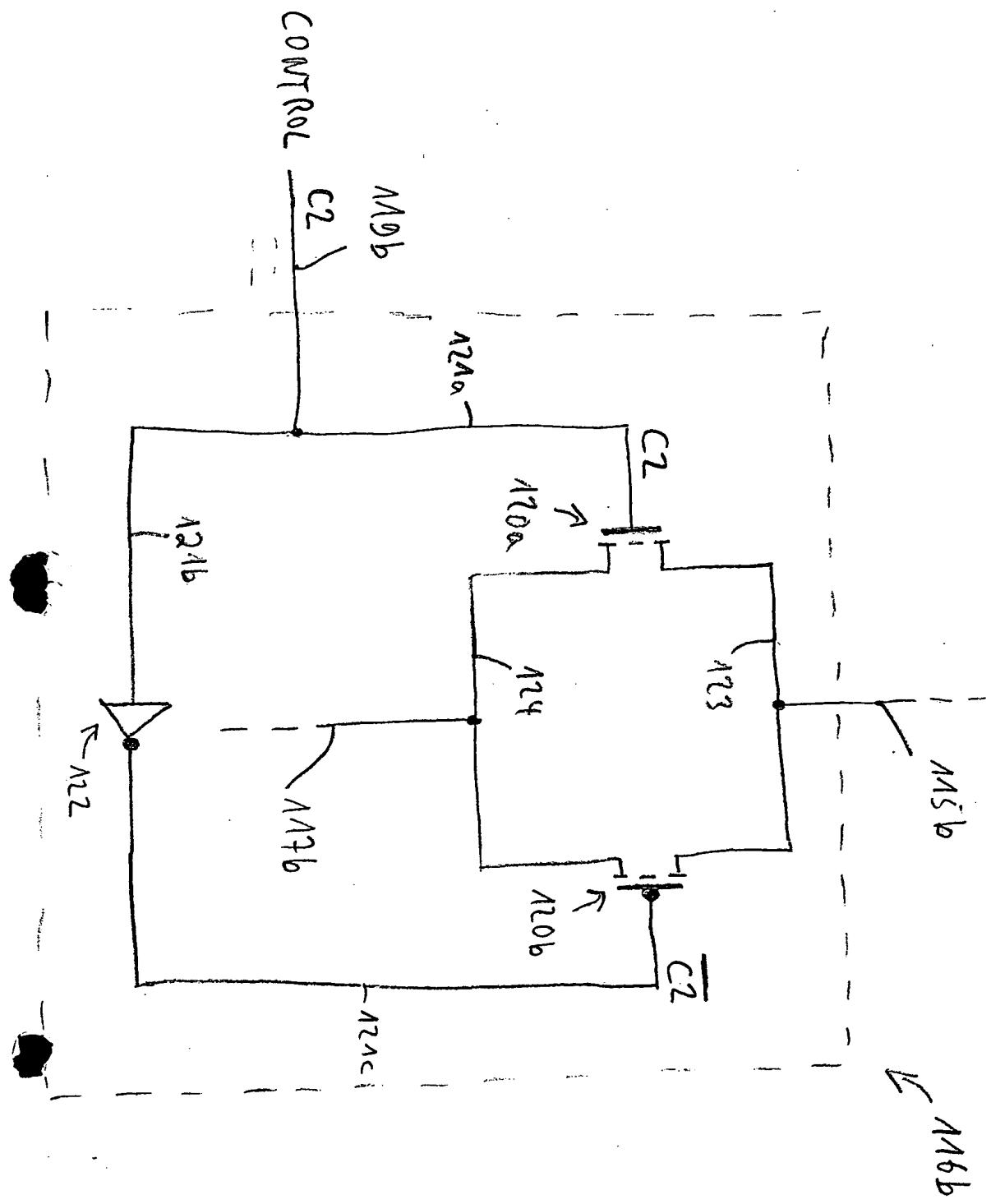
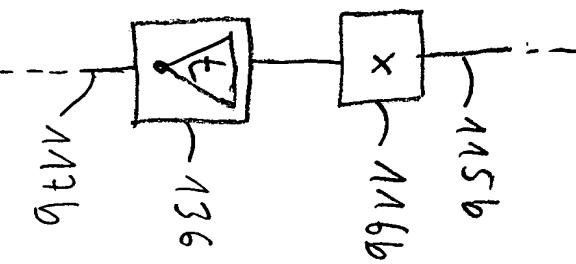
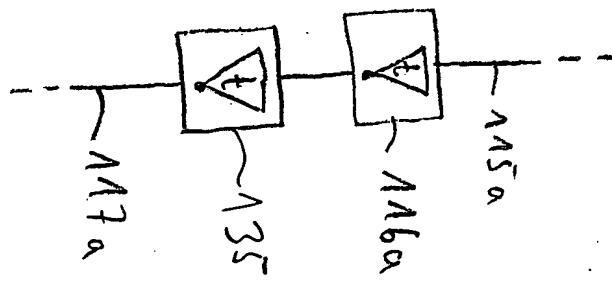


Fig. 4

Fig. 5a
Fig. 5b



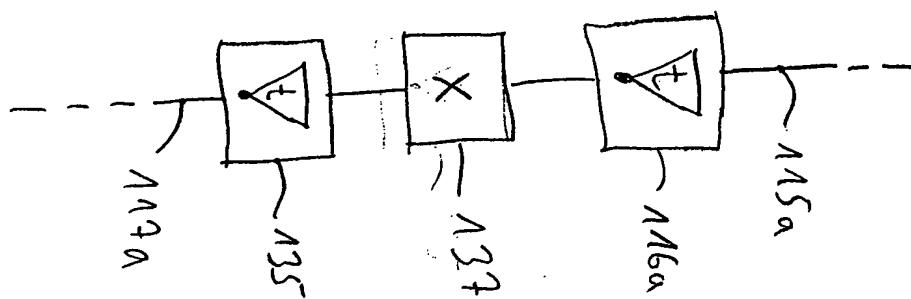


Fig. 6a

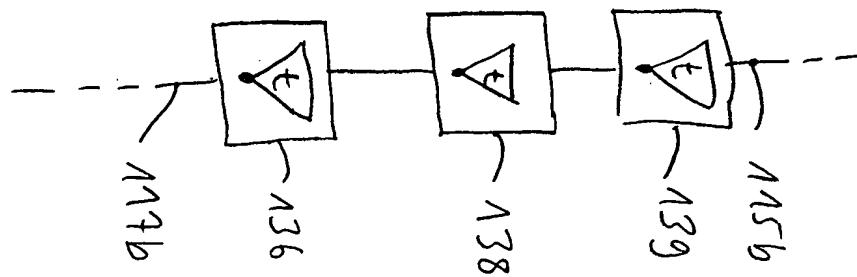


Fig. 6b



Creation date: 02-20-2004

Indexing Officer: ATANTU - AFEWORK TANTU

Team: OIPEScanning

Dossier: 10620273

Legal Date: 02-03-2004

No.	Doccode	Number of pages
1	PEFR	4
2	PA..	2
3	LET.	1
4	DRW	2

Total number of pages: 9

Remarks:

Order of re-scan issued on